--Projeto Somador top level

--SEL0384 - Atividade 5

--Autores:

--Johnny Caselato Guimaraes - N: 11915481

--Barbara Fernandes Madera - N: 11915032

--Prof.: Maxmillian Lupe

--data: 27/09/23

--Entidade e arquitetura q/ modula somador(adder) do kit MercurioIV

ENTITY MercurioIV\_adder is

PORT(

SA, SB : in bit\_vector(7 downto 0);--portas de entrada de 8 bits

LEDM\_R : out bit\_vector(7 downto 0);--porta de saída resultado do

--somador

LEDM\_C : out bit\_vector(4 downto 0) --porta saída,indica o tipo de carry

);

END MercurioIV\_adder;

ARCHITECTURE hierarquia of MercurioIV\_adder is

BEGIN

adder\_0 : work.adder port map(A => SA(3 downto 0), B => SB(3 downto 0), RESULT => LEDM\_R(3 downto 0));

LEDM\_C <= "00000";

LEDM\_R(7 downto 4) <= "0000";

END;

--A arquitetura hierarquia instancia um componente de somador p/ somar 4 bits menos --significativos das 2 entradas e define as saídas LEDM\_C e LEDM\_R como zero

--Projeto Somador 4 bits

--SEL0384 - Atividade 5

--Autores:

--Johnny Caselato Guimaraes - N: 11915481

--Barbara Fernandes Madera - N: 11915032

--Prof.: Maxmillian Lupe

--data: 27/09/23

--Entidade e arquitetura para um somador(adder) q/ opera em 4 bits

ENTITY adder is

PORT(

A, B : in bit\_vector(3 downto 0); --2 portas de entrada

RESULT : out bit\_vector(3 downto 0) --resultado da soma A + B

);

END adder;

ARCHITECTURE hierarquia of adder is --arquitetura realiza adição de 4 bits de A e B

signal C : bit\_vector(3 downto 1); --transporta o carry-out das adições

--individuais de cada bit

BEGIN --cada fadd executa a adição de 1bit considerando tanto os componentes

---A e B e os carry-in e carry-out anteriores

fadd\_0 : work.fadd port map(a => A(0) , b => B(0), ci => '0' , s => RESULT(0) , co => C(1));

fadd\_1 : work.fadd port map(a => A(1) , b => B(1), ci => C(1) , s => RESULT(1) , co => C(2));

fadd\_2 : work.fadd port map(a => A(2) , b => B(2), ci => C(2) , s => RESULT(2) , co => C(3));

fadd\_3 : work.fadd port map(a => A(3) , b => B(3), ci => C(3) , s => RESULT(3));

END;

--Projeto Somador completo

--SEL0384 - Atividade 5

--Autores:

--Johnny Caselato Guimaraes - N: 11915481

--Barbara Fernandes Madera - N: 11915032

--Prof.: Maxmillian Lupe

--data: 27/09/23

--Entidade e Arquitetura p/ somador completo de único bit(fadd)

ENTITY fadd is

PORT(

a, b, ci : in bit; --portas de entrada a,b a serem somadas/ci tipo carry-in

s, co : out bit --s eh porta de saida tipo bit/co eh carry-out

);

END fadd;

--Arquitetura faz operações feitas de acordo com a tabela verdade p/ somador completo de --1bit

ARCHITECTURE concorrente of fadd is

BEGIN

WITH a & b & ci SELECT

-- Saida s com WITH-SELECT

s <= '0' when "000" ,

'1' when "001" ,

'1' when "010" ,

'0' when "011" ,

'1' when "100" ,

'0' when "101" ,

'0' when "110" ,

'1' when "111" ;

-- Saida co com WHEN-ELSE

co <= '1' when a & b & ci = "011" else --a = '1' and b = '1'

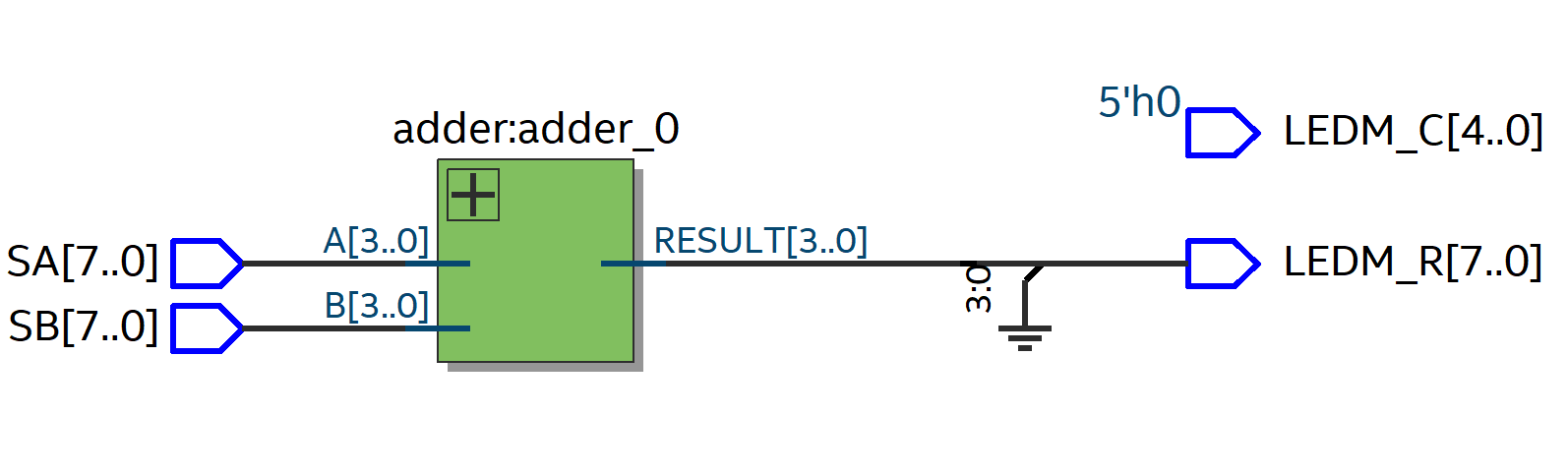
'1' when a & b & ci = "101" else

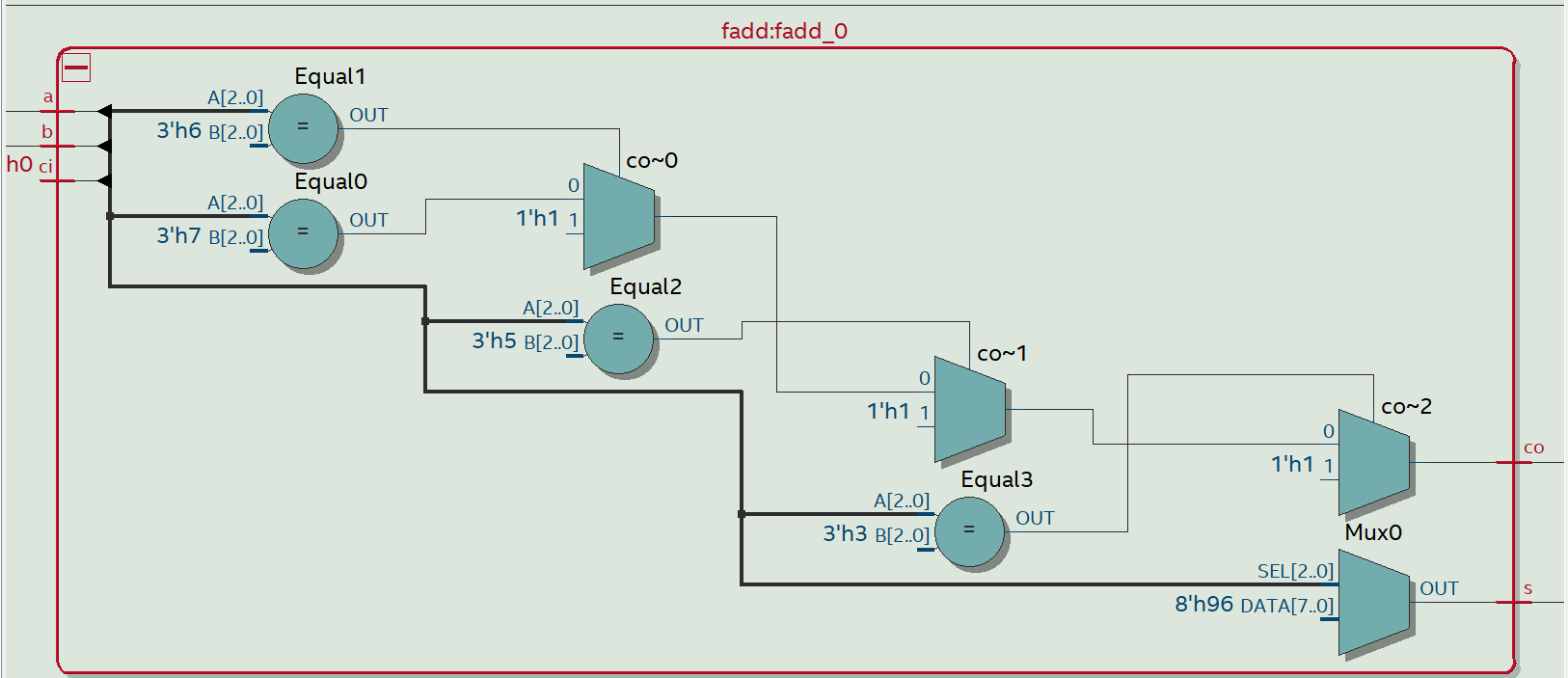
'1' when a & b & ci = "110" else

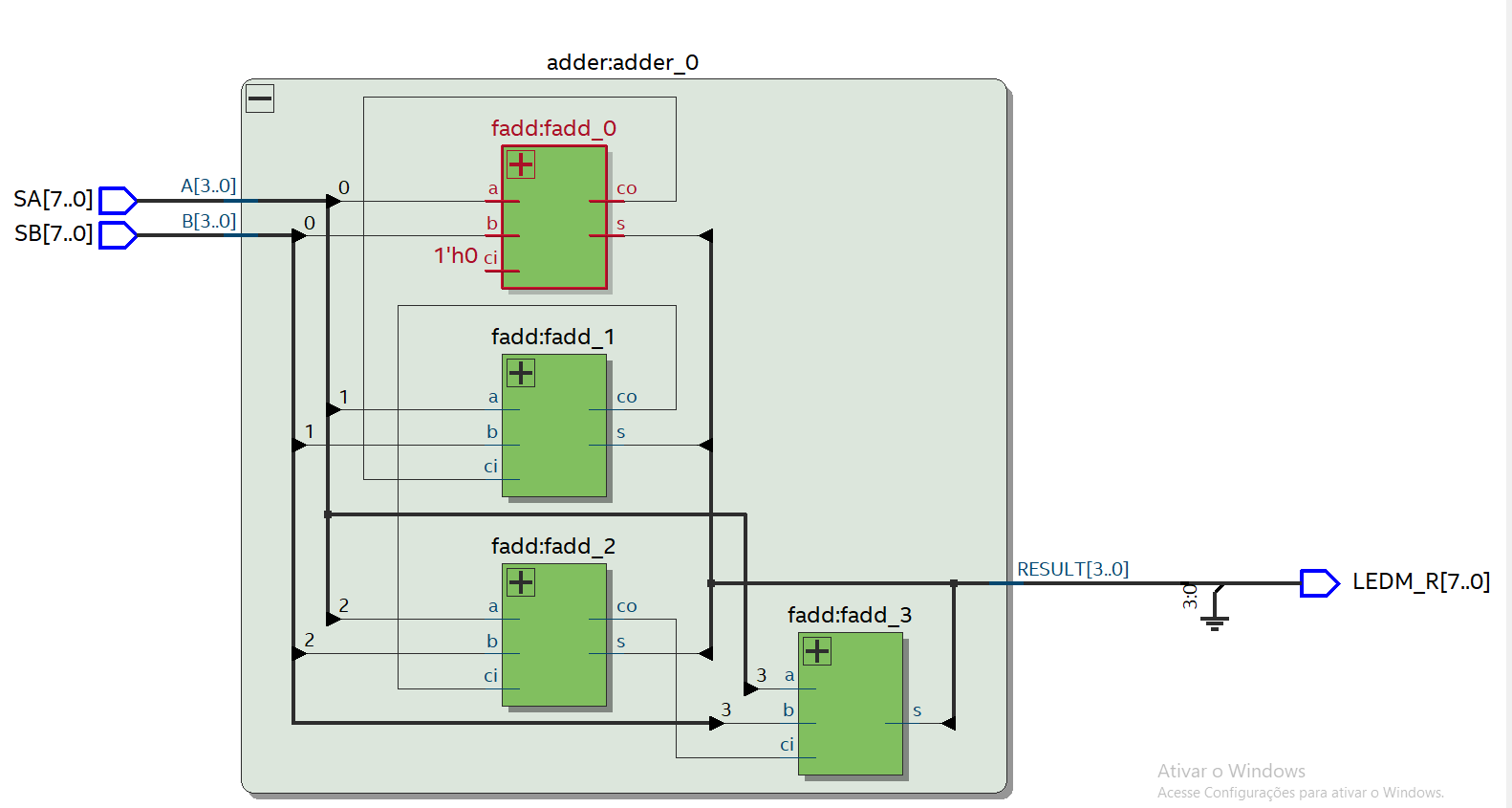
'1' when a & b & ci = "111" else

'0';

END;







Implementação com portas lógicas 74XX

